

10/553974
PCT/JP 2004/013463
Rec'd PCT/PTO 19 OCT 2005
13.10.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JP04/15463

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 1 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 5 7 6 9 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 5 7 6 9 4]

REC'D 02 DEC 2004	
WIPO	PCT

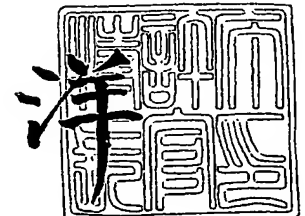
出 願 人 松下電器産業株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 1 1 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 1 0 4 7 7 1

【書類名】 特許
【整理番号】 2131150386
【提出日】 平成15年10月17日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 12/00
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 中西 雅浩
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 笠原 哲志
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 田村 和明
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 泉 智紹
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 松野 公則
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100097445
 【弁理士】
 【氏名又は名称】 岩橋 文雄
【選任した代理人】
 【識別番号】 100103355
 【弁理士】
 【氏名又は名称】 坂口 智康
【選任した代理人】
 【識別番号】 100109667
 【弁理士】
 【氏名又は名称】 内藤 浩樹
【手数料の表示】
 【予納台帳番号】 011305
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9809938

【書類名】特許請求の範囲

【請求項 1】

複数の不揮発性メモリと、ホストからの読み書き指示に応じて前記複数の不揮発性メモリに第 1 及び第 2 の 2 つのメモリバスを介して読み書き制御を行うコントローラとを有する半導体メモリ装置であって、

前記コントローラは、

前記第 1 のメモリバスに不揮発性メモリ F 0 が、第 2 のメモリバスに不揮発性メモリ F 1 が接続される 2 メモリ構成の場合と第 1 のメモリバスに 2 つの不揮発性メモリ F 0, F 2 が、第 2 のメモリバスに 2 つの不揮発性メモリ F 1, F 3 が接続される 4 メモリ構成の場合の少なくとも 2 つの構成を選択可能とし、各々の不揮発性メモリを概ね等しいサイズの領域に 2 分割して前後半領域を形成し、前記ホストから指定される連続論理アドレスを所定サイズ毎の論理シーケンシャルナンバーに変換するシーケンサ手段と、

前記論理シーケンシャルナンバーに対して 0 から 3 の値を繰り返す 4 の剰余系を成す論理シーケンシャルモジュロナンバーを生成するモジュロ手段と、

前記ホストから連続論理アドレスへの書き込み指示がなされると、前記論理シーケンシャルモジュロナンバーに基づき、4 メモリ構成の場合は、 $F 0 \rightarrow F 1 \rightarrow F 2 \rightarrow F 3$ を繰り返し巡回する形式で書き込みを行い、2 メモリ構成の場合は、 $F 0$ の前半領域 $\rightarrow F 1$ の前半領域 $\rightarrow F 0$ の後半領域 $\rightarrow F 1$ の後半領域を繰り返し巡回する形式で書き込みを行う書き込み制御手段とを備える半導体メモリ装置。

【請求項 2】

前記不揮発性メモリが 2 以上の論理アドレス範囲に分割され、前記論理アドレス範囲毎に論理アドレスを物理アドレスに変換する論物変換テーブルを有することを特徴とする請求項 1 記載の半導体メモリ装置。

【書類名】 明細書

【発明の名称】 半導体メモリ装置

【技術分野】

【0001】

本発明は、半導体を使用したメモリ装置に関し、詳しくは、半導体メモリとして不揮発性メモリ（フラッシュメモリ）を用いたメモリカード等の半導体メモリ装置に関するものである。

【背景技術】

【0002】

半導体メモリ装置の中で、SDメモリカード（登録商標）やコンパクトフラッシュ（登録商標）等のメモリカードは、小型サイズという特徴を活かしデジタルスチルカメラ等のポータブル機器の着脱可能なメモリ装置として実用に共されている。

【0003】

実用化されているメモリカードは、その内部に不揮発性メモリ（フラッシュメモリ）及びその制御回路であるコントローラLSIが内蔵されている。近年、メモリカードに対して、大容量化及び高速書き込みのニーズが高くなってきており、そのため複数チップの不揮発性メモリ（フラッシュメモリ）を内蔵し、複数のメモリバス（例えば2つのメモリバス）で不揮発性メモリ（フラッシュメモリ）とコントローラLSIを接続して並列に書き込みを行う等の工夫がなされている（例えば、特許文献1参照）。

【特許文献1】 特開平6-119128号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら従来の半導体メモリ装置において、メモリカードの容量のバリエーション（例えば、256MB（256メガバイト）や512MB等）を持たせる為には、単に内蔵する不揮発性メモリ（フラッシュメモリ）の実装数を変更するだけでは実現できない。言い換えれば、不揮発性メモリ（フラッシュメモリ）の実装数に応じてコントローラLSI内部のアドレス管理処理を切り替える等、内部処理が煩雑となり、その仕組みを取り入れることでコントローラLSIのコストアップにつながるといった欠点があった。

【0005】

本発明は上記問題点に対して、内蔵する不揮発性メモリ（フラッシュメモリ）の枚数を変更しても同一処理で制御できるコントローラLSI（以降、単にコントローラと称す）を提供することである。言い換えれば、コントローラの低コスト化を目的とし、結果的に半導体メモリ装置の低価格化を実現する。具体的には2つのバスを介してそれぞれ2つずつ（計4つ）の不揮発性メモリ（フラッシュメモリ）を制御することを基本とするコントローラのアドレス管理処理を簡素化し、2つのバスを介してそれぞれに1つずつ（計2つ）の不揮発性メモリ（フラッシュメモリ）も共通的に制御できるコントローラを提供することである。

【課題を解決するための手段】

【0006】

上記課題を解決するために本発明は、複数の不揮発性メモリと、ホストからの読み書き指示に応じて前記複数の不揮発性メモリに第1及び第2の2つのメモリバスを介して読み書き制御を行うコントローラとを有する半導体メモリ装置であって、コントローラは、第1のメモリバスに不揮発性メモリF0、第2のメモリバスに不揮発性メモリF1が接続される2メモリ構成の場合と第1のメモリバスに2つの不揮発性メモリF0、F2、第2のメモリバスに2つの不揮発性メモリF1、F3が接続される4メモリ構成の場合の少なくとも2つの構成を選択可能とし、各々の不揮発性メモリを概ね等しいサイズの領域に2分割して前後半領域を形成し、ホストから指定される連続論理アドレスを所定サイズ毎の論理シーケンシャルナンバーに変換するシーケンサ手段と、論理シーケンシャルナンバーに対して0から3の値を繰り返す4の剰余系を成す論理シーケンシャルモジュロナンバーを

生成するモジュロ手段と、ホストから連続論理アドレスへの書き込み指示がなされると、論理シーケンシャルモジュロナンバーに基づき、4メモリ構成の場合はF0→F1→F2→F3を繰り返し巡回する形式で書き込みを行い、2メモリ構成の場合はF0の前半領域→F1の前半領域→F0の後半領域→F1の後半領域を繰り返し巡回する形式で書き込みを行う書き込み制御手段とを備える。

【発明の効果】

【0007】

本発明によれば、コントローラの基本アーキテクチャ（アドレス管理処理）が4フラッシュメモリ構成の制御をすることを基本としながらも、2フラッシュメモリ構成の場合はそれぞれのメモリを2つの領域に分割して仮想的に4フラッシュメモリ構成として制御可能としたので、2メモリ構成のアドレス管理処理も1つのアーキテクチャで共用化できる。言い換えれば不揮発性メモリ（フラッシュメモリ）が4つの場合と2つの場合でアドレス管理処理をそれぞれ個別に設ける必要がないので、コントローラ並びに半導体メモリ装置のコストを下げる事が可能となる。

【発明を実施するための最良の形態】

【0008】

本発明の請求項1に係る発明は、複数の不揮発性メモリと、ホストからの読み書き指示に応じて前記複数の不揮発性メモリに第1及び第2の2つのメモリバスを介して読み書き制御を行うコントローラとを有する半導体メモリ装置であって、前記コントローラは、前記第1のメモリバスに不揮発性メモリF0が、第2のメモリバスに不揮発性メモリF1が接続される2メモリ構成の場合と第1のメモリバスに2つの不揮発性メモリF0、F2が、第2のメモリバスに2つの不揮発性メモリF1、F3が接続される4メモリ構成の場合の少なくとも2つの構成を選択可能とし、各々の不揮発性メモリを概ね等しいサイズの領域に2分割して前後半領域を形成し、前記ホストから指定される連続論理アドレスを所定サイズ毎の論理シーケンシャルナンバーに変換するシーケンサ手段と、前記論理シーケンシャルナンバーに対して0から3の値を繰り返す4の剰余系を成す論理シーケンシャルモジュロナンバーを生成するモジュロ手段と、前記ホストから連続論理アドレスへの書き込み指示がなされると、前記論理シーケンシャルモジュロナンバーに基づき、4メモリ構成の場合は、F0→F1→F2→F3を繰り返し巡回する形式で書き込みを行い、2メモリ構成の場合は、F0の前半領域→F1の前半領域→F0の後半領域→F1の後半領域を繰り返し巡回する形式で書き込みを行う書き込み制御手段とを備えるものである。

【0009】

また、請求項2に係る発明は、上記発明において、前記不揮発性メモリが2以上の論理アドレス範囲に分割され、前記論理アドレス範囲毎に論理アドレスを物理アドレスに変換する論物変換テーブルを有するものである。

【0010】

以下、本発明の実施の形態について、図面を用いて説明する。

【0011】

（実施の形態）

図1は、本発明の実施の形態による半導体メモリ装置の構成を示すブロック図である。図1において、101はホスト、102はホスト101からのデータ書き込み命令に応じて転送された連続した論理アドレス列に対して、論理アドレスから物理アドレスに変換すると共に4つのフラッシュメモリF0～F3または2つのフラッシュメモリF0、F1に書き込みを行うコントローラ、103～106はそれぞれフラッシュメモリF0～F3である。なお、フラッシュメモリF2、F3を破線としているが、これは2フラッシュメモリ構成の場合には除かれるものとする。また、各フラッシュメモリF0～F3はそれぞれチップイネーブル信号CE0～CE3によって独立に選択される。また、コントローラ102とフラッシュメモリ103～107は、2つのメモリバスを用い接続されており、バス番号0のメモリバスには、フラッシュメモリF0、F2が接続され、バス番号1のメモリバスには、フラッシュメモリF1、F3が接続される。

【0012】

なお、コントローラ102は、不揮発性メモリに対するデータの書き込み動作や読み出し動作の制御を行うものであり、本発明におけるメモリの選択手段や、シーケンサ手段、モジュロ手段、書き込み制御手段等を有する。具体的にはマイクロコンピュータやRAM等を有し、その周辺デバイス、ソフトウェアなどにより構成されるものである。

【0013】

図2は、1つのフラッシュメモリ（一例として、フラッシュメモリF0とする）の構成を表す。図2において、201は4フラッシュメモリ構成時のF0の構成であり、一方202は2フラッシュメモリ構成時のF0の構成である。なお、その他のフラッシュメモリ（4フラッシュメモリ構成時はF1～F3、2フラッシュメモリ構成時はF1）も同様の構成とする。4メモリ構成時のフラッシュメモリは、2つの領域（ユニット番号0、1）に分割して制御される。2メモリ構成時のフラッシュメモリは、2つの仮想フラッシュメモリ（仮想フラッシュメモリF00、F01）に分割して制御される。なお、各フラッシュは、図示するように、複数のブロックという単位に分割して扱われる。

【0014】

図3は、消去単位であるブロック（図2に示した各ブロックに相当）の構成図である。書き込み単位が1ページ（2KB）であり、各ページは4セクター（セクター0～3、各セクターは512B）から構成され、1ブロックは128ページ（ページ0～127）で構成される。なお、説明の簡単化の為、各セクターや各ページの管理領域については省略している。

【0015】

図4は、論理アドレスフォーマットを示すフォーマット図である。一例として、図4に示すように、論理アドレスフォーマットは、1ビットのユニットNo、所定ビット数の論理ブロックNo、7ビットのページNo、1ビットのペアNo、1ビットのバスNo、2ビットのセクターNoを有する。

【0016】

セクターNoは、図3に示したセクター0～3を選択するビットである。バスNoは、図1に示されるとおり2つのメモリバスの何れかを選択するビットである。ペアNoは、フラッシュメモリの組合せを選択するビットであり、4メモリ構成の場合は、フラッシュメモリF0、F1のペアかフラッシュメモリF2、F3のペアかを選択し、2メモリ構成の場合は、フラッシュメモリF0、F1の前半領域（図1に示すF00、F10）のペアかフラッシュメモリF0、F1の後半領域（図1に示すF01、F11）のペアかを選択する。例えば、ペアNoの値が0の場合、4メモリ構成時はフラッシュメモリF0、F1のグループをアクセスし、2メモリ構成時はフラッシュメモリF0、F1の各前半領域（F00、F10）のグループをアクセスする。一方、ペアNoの値が1の場合、4メモリ構成時はフラッシュメモリF2、F3のグループをアクセスし、2メモリ構成時はフラッシュメモリF0、F1の各後半領域（F01、F11）のグループをアクセスする。

【0017】

ページNoは、図3に示した1ブロック当たりの全ページ数（128ページ）を選択するビットである。論理ブロックNoは、各フラッシュメモリの半分の領域、即ち図2の201ではユニット0もしくはユニット1、202ではF00もしくはF01当たりの論理ブロックNoであり、所定のビット数を有する。この論理ブロックNoは、コントローラ102において論理変換テーブル（ここでは、詳細説明を省略するが、所定の規則に基づき論理アドレスを物理アドレスに変換する際に用いるテーブルである）によって、物理ブロックNoに変換されてブロックの選択が行われる。ユニットNoは、4メモリ構成の場合に用いられるビットで、図2の201に示したようにフラッシュメモリの前後半を選択するビットである。

【0018】

従って、ペアNoとバスNoの2ビットによって、4メモリ構成の場合は、F0からF3の4つのフラッシュメモリを特定することができ、2メモリ構成の場合は、F00、F

01, F10, F11の4つの仮想的なフラッシュメモリを特定することができる。

【0019】

なお、上述の論理アドレスフォーマットは、あくまで一例であり、フラッシュメモリの構造やアーキテクチャによって、ビット数や配列などが変更され得ることは、言うまでもない。

【0020】

図5は、ホスト101からのデータ書き込み命令に応じて転送された連続した論理アドレス列（以降、論理シーケンシャルNoとする）に対応して、どのフラッシュメモリ（あるいは領域）に書き込まれるかを示したタイミングチャートである。

【0021】

以下、図5を中心に本実施の形態による半導体メモリ装置の動作について説明する。図5において、ホスト101からデータ書き込み命令と共に論理シーケンシャルNoがコントローラ102に転送される。論理シーケンシャルNoは2KB（書き込み単位であるページサイズに相当）毎に番号順となっており、この番号は図4に示す論理アドレスフォーマットにおけるバスNoのビットがインクリメント位置となるようにインクリメントされるものである。コントローラ102はこのビット位置を起点にページ単位でインクリメントしながら各フラッシュメモリへの書き込みを行う。

【0022】

この論理シーケンシャルNoは、0から3の値を取る4の剰余系に変換され（あるいは、下位2ビットだけを取り出し）論理シーケンシャルモジュロNoとしてフラッシュメモリの選択に供される。即ち、4は0、5は1というように0から3（2ビット表現すれば、00, 01, 10, 11）となり、ペアNoとバスNoがインクリメントされることになる。

【0023】

したがって、4フラッシュメモリ構成においては、ペアNoはフラッシュメモリF0, F1の時に値0となるので、書き込み順としては、図5に示すようにF0→F1→F2→F3を巡回する形で繰り返されることとなる。一方、2フラッシュメモリ構成において、ペアNoはフラッシュメモリF0の前半領域F00とフラッシュメモリF1の前半領域F10の時に値0となるので、書き込み順としては、図5に示すようにF00→F10→F01→F11を巡回する形で繰り返されることとなる。なお、書き込みのスタートは、F0あるいはF00以外からであっても良い。このようにフラッシュメモリを概ね等しい2つの論理領域の2分割し、ペアNoの定義を変えるだけで同一のアドレス処理（即ち図4に示す論理アドレスフォーマット）で4フラッシュメモリ構成及び2フラッシュメモリ構成の書き込みアドレス管理が行える。

【0024】

なお、本実施の形態においては、1つのフラッシュメモリの全領域に対して論理アドレス範囲を2分割したが、例えば領域0～7の8領域に分割して、前半の領域0～3と後半の領域4～7をそれぞれペアNoが0と1となるようにグルーピングしても構わない。

【産業上の利用可能性】

【0025】

本発明にかかる半導体メモリ装置は、特に大容量の不揮発性メモリ（フラッシュメモリ）、即ちブロック数が大きく領域分割管理した方が合理的なメモリカード等において、内蔵する不揮発性メモリ（フラッシュメモリ）の個数を変更することによってカード容量を変更する際に有益である。

【図面の簡単な説明】

【0026】

【図1】 本発明の実施の形態による半導体メモリ装置の構成を示したブロック図

【図2】 同半導体メモリ装置のフラッシュメモリの構成を示した概念図

【図3】 同半導体メモリ装置における消去単位であるブロックの構成を示した概念図

【図4】 同半導体メモリ装置における論理アドレスフォーマットの構造例を示した概

念図

【図 5】 同半導体メモリ装置の書き込みシーケンス動作を説明するための概念図

【符号の説明】

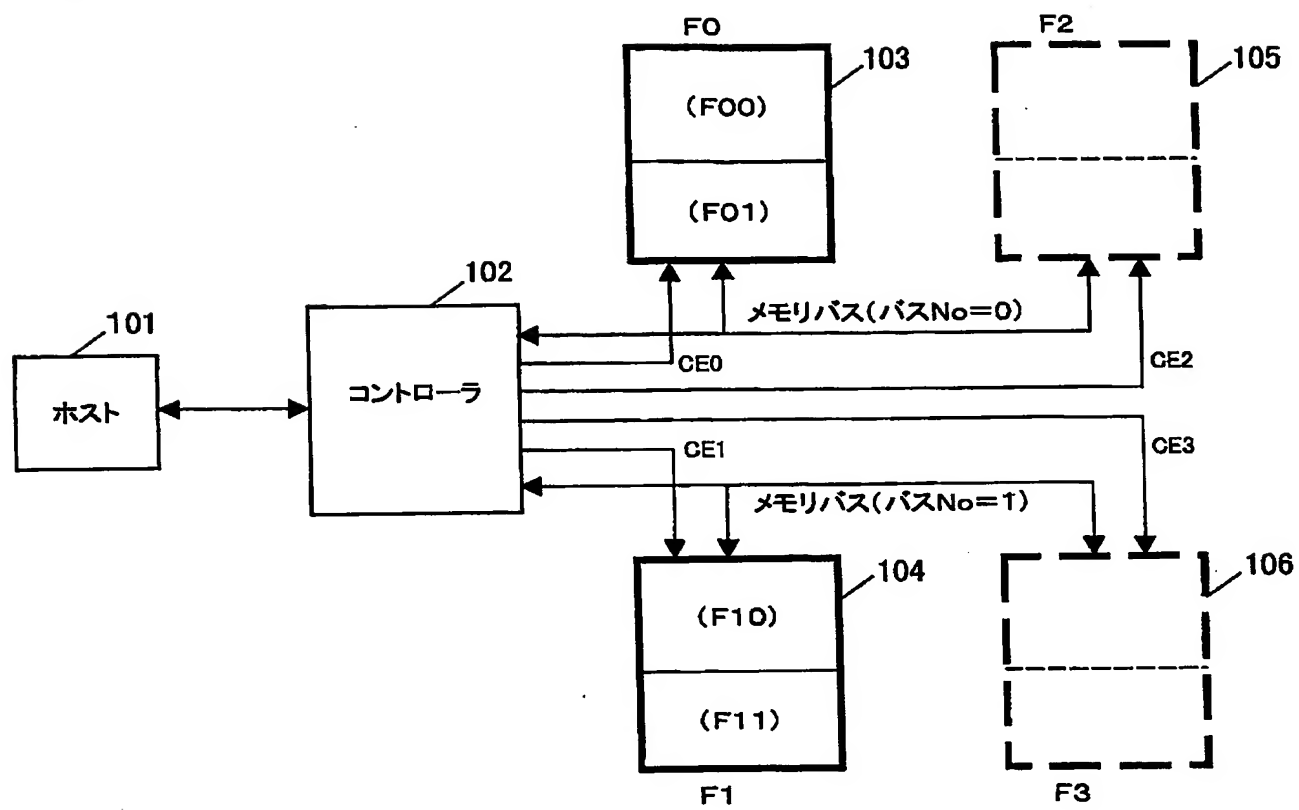
【0027】

101 ホスト

102 コントローラ

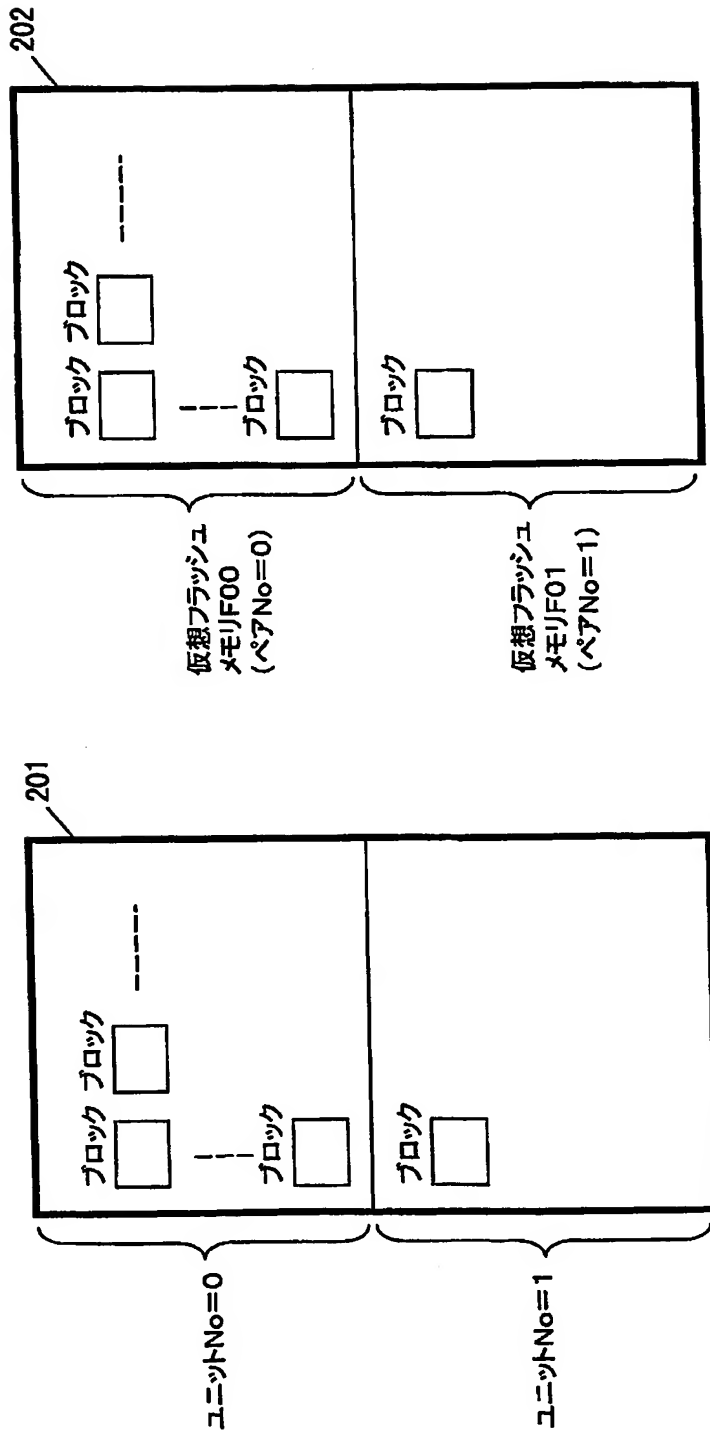
103～106 不揮発性メモリ（フラッシュメモリ）

【書類名】図面
【図1】



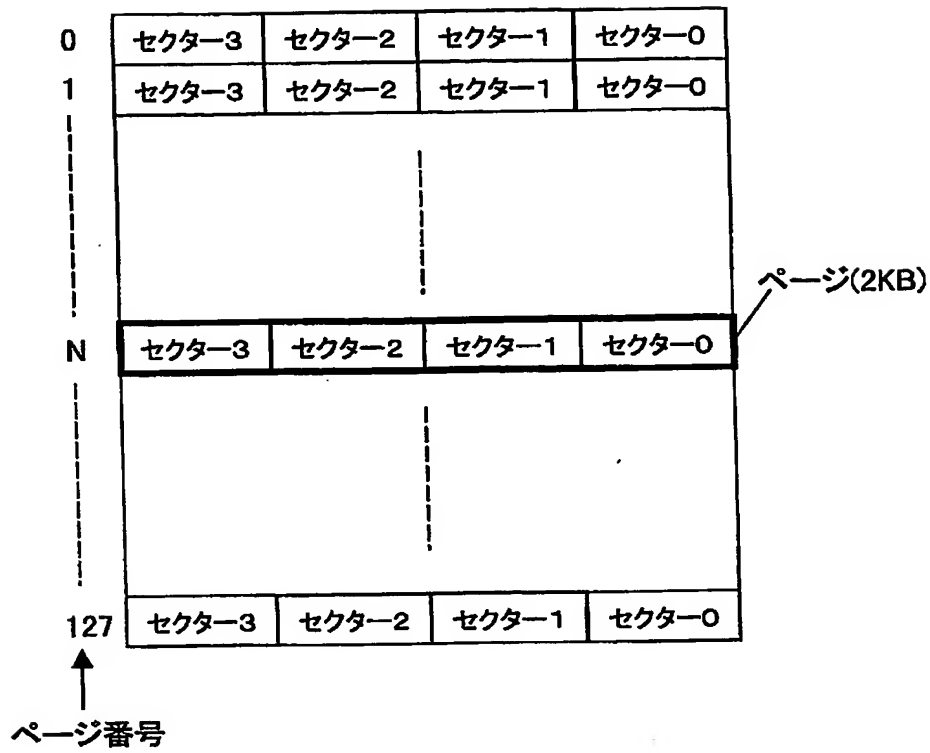
103,104,105,106...不揮発性メモリ(フラッシュメモリ)

【図 2】

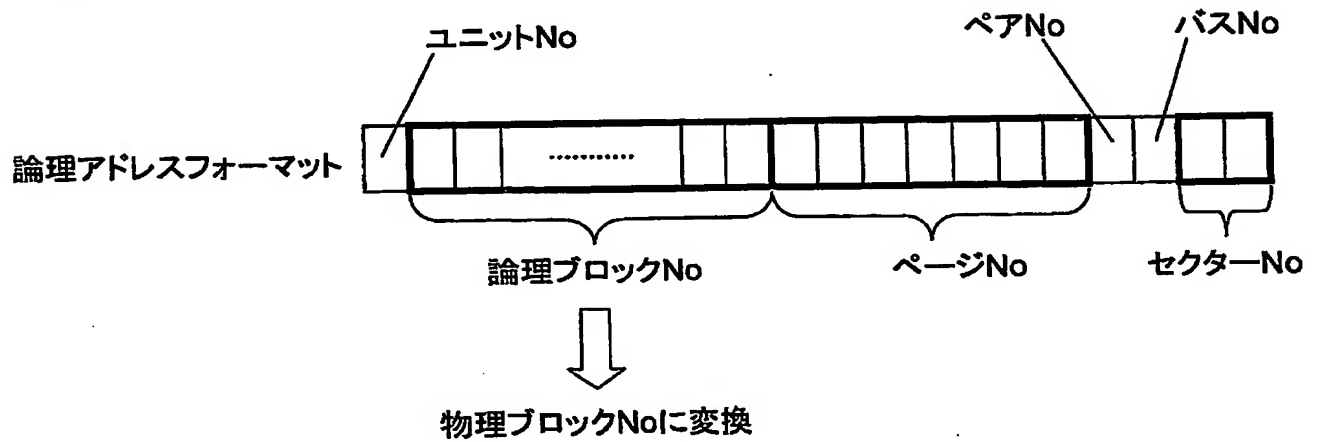


201...4フラッシュメモリ接続時のFOの構成 202...2フラッシュメモリ接続時のFOの構成

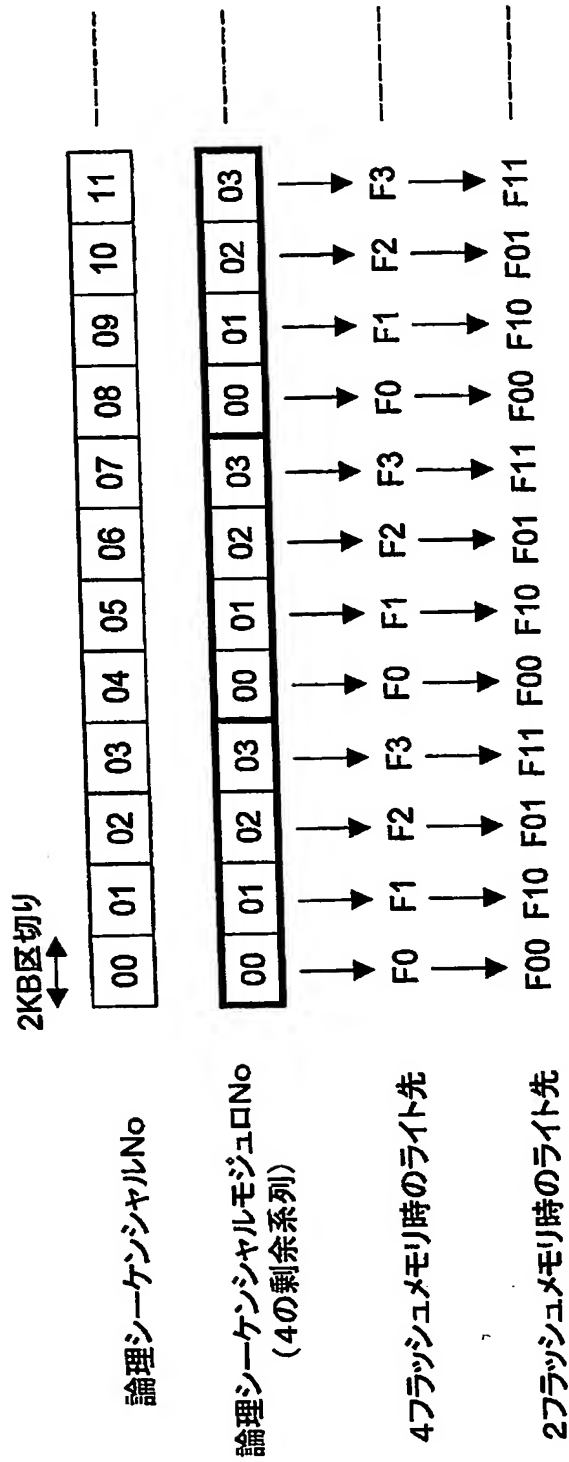
【図 3】



【図 4】



【図 5】



【書類名】 要約書**【要約】**

【課題】 コントローラに接続するフラッシュメモリの数に関わらず、コントローラ処理の共通化を図る。特に4つのフラッシュメモリの制御を基本とし、2つのフラッシュメモリ接続時においても制御可能とする。

【解決手段】 コントローラ102と4つのフラッシュメモリF0～F3を2つのメモリバスに2つずつ接続し、各フラッシュメモリを概ね等しいサイズの領域に2分割して前後半領域を形成する。2つのフラッシュメモリ接続時には、それぞれの前後半領域を仮想的に別のフラッシュメモリとなるような制御形態とする。即ち4メモリ構成時は、ホストから指定される連続論理アドレスを所定サイズ毎に区分し、F0→F1→F2→F3を繰り返し巡回する形式にて書き込みを行い、2メモリ構成時は、F00→F10→F01→F11を繰り返し巡回する形式にて書き込みを行う。

【選択図】 図1

2003-357694

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社